DIALOG(R)File 347:JAPIO (c) 2005 JPO & JAPIO. All rts. reserv.

03087520 \*\*Image available\*\*

ACTIVE MATRIX TYPE LIQUID CRYSTAL DISPLAY ELEMENT

PUB. NO.: **02-063020** [JP 2063020 A]

PUBLISHED: March 02, 1990 (19900302)

INVENTOR(s): SHIBUSAWA MAKOTO

APPLICANT(s): TOSHIBA CORP [000307] (A Japanese Company or Corporation), JP

(Japan)

APPL. NO.: 63-213692 [JP 88213692]

FILED: August 30, 1988 (19880830)

INTL CLASS: [5] G02F-001/136

JAPIO CLASS: 29.2 (PRECISION INSTRUMENTS -- Optical Equipment)

JAPIO KEYWORD:R004 (PLASMA); R011 (LIQUID CRYSTALS); R044 (CHEMISTRY --

Photosensitive Resins); R096 (ELECTRONIC MATERIALS -- Glass

Conductors)

JOURNAL:

Section: P, Section No. 1052, Vol. 14, No. 245, Pg. 79, May

24, 1990 (19900524)

#### **ABSTRACT**

PURPOSE: To minimize a decrease in light transmissivity and to obtain such picture quality that a display is bright and a flicker is small by prescribing an opening area by a pattern for a capacity forming electrode formed of a light shield material on an array substrate.

CONSTITUTION: A light shield layer 37 has the specific opening part corresponding to a display picture element electrode 25 and covers the substrate completely except the display picture element electrode 25. Further, the contour line 44 of the opening part which is prescribed by the pattern of the light shield layer 37 is put within the pattern of the capacity forming electrode 28. The width L1 indicates the gap between the outer periphery of the capacity forming electrode 28 and the contour line 44 and the width L2 indicates the gap between the inner periphery of the capacity forming electrode 28 and the contour line 44. Those widths L1 and

L2 are set preferably to size larger than the sticking accuracy between the array substrate and a counter substrate 38. Consequently, the opening area can be increased and the picture quality of a bright display with a small flicker is obtained.

## ⑩ 日本国特許庁(JP)

① 特許出顧公開

#### @ 公 開 特 許 公 報 (A) 平2-63020

SInt. Cl. "

識別記号

庁内藝理番号

❷公開 平成2年(1990)3月2日

G 02 F 1/136

500

7370-2H

審査請求 未請求 請求項の数 1 (全6頁)

60発明の名称 アクテイプマトリクス型液晶表示案子

②特 題 昭63-213692

顧 昭63(1988) 8月30日 22出

沢 . 洪

神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業

所内

の出願 人 株式会社東芝

神奈川県川崎市幸区堀川町72番地

**個代理人** 弁理士 則近 憲佑 外1名

1. 発明の名称

アクティブマドリクス型波晶表示素子

2. 特許請求の範囲

絶縁基板の一主面上に薄膜トランジスタ及びこ れに接続される衷示画素電極からなる一画素をマ トリクス状に配し且つ各面素に対し前記表示面素 電極と絶縁膜を介して対向する遮光性材料からな る容量形成用電極が設けられてなるアレイ基板と、 絶縁基仮の一主面上に共通電極及び前記表示画素 電極に対応した所定の開口部を有する遮光層を形 成してなる対向基板と、前記アレイ基板と前記封 向基板を互いの前配一主面側が対向するように組 み合わせて得られる間隙に挟持してなる液晶とを 備えたアクティブマトリクス型液晶表示素子にお いて、

前記一画素についての前記対向基板の前記一主 面上への投影図で、前記遮光圀のパターシにより 規定される前記開口部の輪郭線が、前記容量形成 用電便のパターン内に収まることを特徴とするア

クティブマトリクス型液晶表示素子。

3. 発明の詳細な説明

[発明の目的]

(産衆上の利用分野)

・この発明は、蔣膜トランジスタ( Thin Film Transister , TFT)をスイッチ素子として表 示画素電極アレイを構成したアクティブマトリク 久型筬晶表示素子に関する。

(従来の技術)

近年、液晶を用いた表示素子は、テレビ表示や グラフィックディスプレイ等を指向した大容量で 髙密度のアクティブマトリクス型表示素子の開発 及び実用化が盛んである。このような表示素子で は、クロストークのない高コントラストの表示が 行えるように、各画素の駆動と制御を行う手段と して半導体スイッチが用いられる。その半導体ス イッチとしては、避過型表示が可能であり大面積 化も容易である等の理由から、透明絶縁基板上に 形成されたTFT等が、通常用いられている。

第2図はTFTを備えた表示画素電極アレイを

#### 特別平2-63020(2)

用いた液晶表示素子の一面素を表す簡単な回路のである。同図において、交差する走査線1とという。 「なっちをないないで、できますでは、1というは、1というは、

 し、画像表示が行なわれる。また、液晶図6はに 変別すると、液晶分子の電気分解により劣化の 寿命が短くなるため、交流駆動を行う。一般 は、対向電極5の電位を直流電位に設定しての 対向電極5の電位に対して映像信号電圧を偶交で 取動が行われる。即ち、映像信号電圧はある流 電圧(Vsc)と、映像信号に対応した正負対称な 交流電圧(Vsa)とが加算されたものである。

ところで、第2図に示すように、TFT3のゲート・ソース関には寄生容盤(Cgs)が存在する。このCgsのため、走査信号電圧がVg.onからVg.offに切り替わる際に、容優分割により表示画を 電極4の△Vp だけ負例にシフトする。このシフト量は、△Vp ~△Vg ※Cgs/(Cgs+Clc)という関係にある。ここで、△Vg = Vg.onーVg.offであり、Clcは液晶層6の容量を負例にシフトさせることにより、液晶層6に印加される電圧が偶奇フレームで等しくなるよう

にする。

## (発明が解決しようとする課題)

しかしながら、CICは印加される電圧に対して容量変化を示すため、映像信号ごとにΔVpの電気の異なる。即ち、映像信号ごとに最適な対向電位が異なる。一般に、対向電極電位は全極では、種々の画面の内では、できない。この結果、表示画面のちらつきであるフリッカーが生じる。

第3図は例えば特別昭 56-162793号公報に記載されていて、上述の不具合を解決することが可能な被晶表示素子の一面素を表す簡単な回路分にを図って、第3図と対応する部分には過でしてあり、印加電圧に対する容量では過で化のないを積容量(Cs)をClcと並列に定立をにより、ΔVDの映像信号電圧を存性を低減させることができる。この結果、第2図に示した例の場合と比べ、フリッカーを減少させ

ることができる。

第4図において、補助容量形成用配線18は透明導電膜或いは遮光性の金属膜で形成される。補助容量形成用配線18を透明導電膜で形成する場合は、成膜工程やフォトリソグラフィー工程が増加し、製造プロセス面での欠点が多い。一方、補助容量形成用配線18を遮光性の金属膜で形成す

## 特閒平2-63020(3)

る場合は、光が透過する部分の面積である開口面 積が低下し、液晶表示素子の光透過率の低下に直

この発明は、このような事情に鑑みてなされた ものである。

#### [発明の構成]

#### (課題を解決するための手段)

この発明は、絶縁基板の一主面上にTFT及び これに接続される画素電極からなる一画素をマト リクス状に配し且つ各画素に対し画素電極と絶縁 膜を介して対向する遮光性材料からなる容匱形成 用電極が設けられてなるアレイ基板と、絶縁基板 の一主面上に共通電極及び遮光層を形成してなる 対向基板と、アレイ基板と対向基板を互いの一キ 面側が対向するように組み合わせて得られる間隙 に挟持してなる波晶とを備えたアクティブマトリ クス型液晶表示素子についてのものである。そし て、一画素についての対向基板の一主面上への投 彫図で、遮光窗のパターンにより規定される前口 部の輪郭線が、容量形成用電極のパターン内に収 まるようなアレイ構成としている。

#### (作用)

TFTを用いたアクティブマトリクス型波晶表 示素子において、容量形成用電極を形成しない場 合、或いは第4図に示した例の場合には、アレイ 基板と対向基板との貼り合わせが精度範囲内です れた場合にも、コントラスト比の低下を防ぐため に、対向基板上の遮光層パターンは、表示画素電 極パターン以外の部分、即ち、液晶層により変調 されない光が透過する部分を覆うように形成され る。具体的には、対向基板上の遮光層パターンが 表示画素電極パターンの周辺部分に貼り合わせ精 度分だけ重なり合うように形成される。従って、 表示画素電極パターンの外周部に、表示に巻与し ない無効領域が存在する。この発明では、この無 効領域を付加的な蓄積容量(CS)の形成のため に利用している。

#### (実施例)

以下、図面を参照してこの発明を詳細に説明す <u>م</u> ۔

第1図はこの発明の一実施例を示す図であり、 同図(a)はアレイ基板上の一画素部分の平面図、 同図(b)は一画素部分の概略断面図、同図(c) は一画素都分での瞬略投影図を表している。第1 図(a)において、薄膜トランジスタ(TFT) 20は、第4図の場合と同様に、走査線21と一 体のゲート電極22、信号線23と一体のドレイ ン間梗24、表示画素電極25に接続されたソー ス電極26、及び半導体層27から構成されてい る。また、TFT20近辺には、走査線21と似 略平行な方向に直線状に延び且つ表示画素電極 25の周囲を絶縁膜(図示せず)を介して取り囲 むように、容量形成用電極28が形成されており、 表示画案電極25と容量形成用遺極28との垂な り部分で付加的な蓄積容量(CS)が得られる。 ・第1図(b)は第1図(a)におけるA~A^ 断面を矢印方向からみたときに相当する。第1図 (D) において、例えばガラスからなる絶縁基板

30の一主面上には、例えば遮光性材料であるC Γ(クロム)膜をスパッタ法で被膜した後、所定

の形状にフォトエッチングすることによりゲート 電極22と容量形成用電極28が周時に形成され、 更に、これを覆うように例えば酸化シリコン(S iOx )からなるゲート絶縁膜31がプラズマC VD法により形成されている。ここで、図示はし ていないが、ゲート電極22と容量形成用電極 28が形成される際に、同じ工程で走奇線21も 形成される。また、ゲート絶縁膜31が、第1図 (a)における容量形成用増植28と表示画業電 極25との間に介在する絶縁膜である。そして、 ゲート絶縁膜31のゲート電極22に対向する部 分には、例えばi型の水素化アモルファスシリコ ン(a-Si:H)からなる半導体圏27がプラ ズマCVD法を利用して形成されており、更に、 半導体暦27上には互いに電気的に分離されたn 型a-Si:Hからなるドレイン領域32とソー ス領域33とが、同じくプラズマCVD法を利用 して設けられている。そして、半導体暦27のソ ース領域33側に隣接するゲート絶線膜31上に は、例えばITO(インジウム・チン・オキサイ

ド) 膜をスパッタ法で被膜した後、所定の形状に フォトエッチングすることにより表示画素電極 25が設けられている。また、ソース領域33に はソース雷飯26の一端が接続され、ソース電板 26の他端は表示画素電極25上に延在して接続 されている。更に、ドレイン領域32にはドレイ シ電極24の一端が接続されている。ここで、ド レイン電極24とソース電板26とは、例えばM O(モリプデン)膜とA「(アルミニウム)膜と をスパッタ法で順次被膜した後、所定の形状にフ ォトエッチングするという同じ工程で形成してお り、また、図示はしていないが、第1図(a)に おける信身線23もドレイン電板24とソース電 極26と同じ工程で形成している。こうして、所 望のアレイ基板34が得られる。一方、例えばガ ラスからなる絶縁基板35の一主面上には、例え はITOからなる共通電極36及び例えばAI (アルミニウム) からなるブラックマトリクスと しての遮光圏37が順次形成されることにより、 対向基板38が構成されている。そして、アレイ

基板34の一主面上には、更に全面に例えば低温 キュア型のポリイミド(PI)からなる配向膜 39が形成されており、また、対向基仮38の一 主面上にも全面に同じく、例えば低温キュア型の ポリイミドからなる配向膜40が形成されている。 そして、アレイ基板34と対向基板38の一主面 上に、各々の配向膜39.40を所定の方向に布 等でこすることにより、ラピングによる配向処理 がそれぞれ施されるようになる。更に、アレイ基 板34と対向基板38とは互いの一主面側が対向 し且つ互いの配向軸が僻略90°をなすように組 み合わせられ、これにより得られる関隊には液晶 41が挟持されている。そして、アレイ基板34 と対向基板38の他主面側には、それぞれ偏光板 42.43が被着されており、アレイ基板34と 対向基板38のどちらか一方の他主面側から照明 を行う形になっている。

第1図(c)は第1図(a)に相当する部分についての対向基板38の一主面上への限略投影図を表している。第1図(c)において、遮光層

37は第1図(a)における表示画素電極25に 対応した所定の開口部を有しており、表示画素電 極25を除く部分は完全に覆っている。また、遮 光層37のパターンにより規定される開口部の輪 郭阜44が、容量形成用電極28のパターン内に 収まるようになっている。更に、第1図(c)に おいて、幅し1は容量形成用食板28の外周と輪 鄭線44との間隔を示しているのに対し、幅L2 は容量形成用電極28の内周と輪郭線44との間 陽を示している。この幅し1、L2はともに、ア レイ基板34と対向基板38の貼り合わせ精度以 上の寸法に設定することが望ましい。この理由は、 幅し1の場合はアレイ基板34と対向基板38の 合わせずれによるコンラスト比の低下を防ぐため であり、幅し2の場合はアレイ基板34と対向基 板38の合わせずれによる開口面積の変動をなく すか或いは少なくするためである。

電極28と遮光図37の形状をエ夫することにより、 表示画素電極25のパターンの成することがない無効領域を付加容量では、 形板28の材料といる。この結果、 クラフィーエ程が増加してとれる。 できる、 フォトリソグラフィーエ程が増加したという透明ではなく、 金属膜をができる。 従れる に して、 表示が明るくてちらっきの少ない 画質が得られる。

この実施例では、遮光唇37のパターンにより 規定される開口部の輪郭線44が、容量形成用電極28のパターン内に収まるように、容量形成用 なお、この実施例では、容量形成用電極28は 走 変線21やゲート電極22と同時に形成したが、 表示 画素電極25と絶縁膜を介して対向する形で あれば、信号線23等と同時に形成されるもので あってもよいことは言うまでもない。

### [発明の効果]

この発明は、アレイ基板上に形成された遮光性 材料からなる容量形成用電極のパターンで開口領 域を規定させることにより、金風膜で付加的な容 積容量(Cs)を形成したときにも、光透過率の 低下を最小限に抑えられ、表示が明るくちらつき

## 特開平2-63020 (5)

の少ない画質を得ることができる。

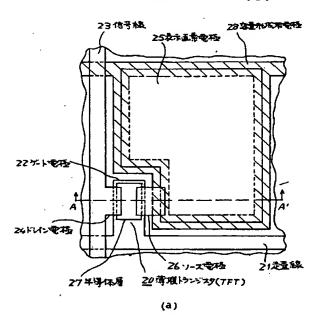
## 4. 図面の簡単な説明

第1図はこの発明の一実施例を示す図、第2図と第3図は従来のアクティブマトリクス型被晶表示素子の一画素の一例を示す関略回路図、第4図は従来のアクティブマトリクス型被晶表示素子のアレイ基板における一画素の平面構造を説明するための図である。

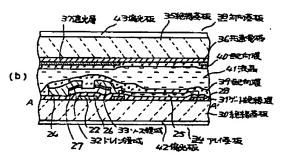
- 20…薄膜トランジスタ
- 25…表示画素電極
- 28…容量形成用電極
- 30,35… 艳禄基板
- 34…アレイ基板
- 36…共通電極
- 3 7 … 遮光層
- 38…対向基板
- 4 1 … 液晶
- 44…輪郭線

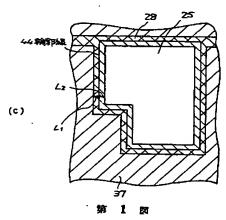
 代理人 弁理士 則 近 憲 佑

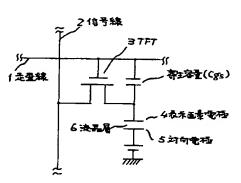
 同 竹 花 喜久男



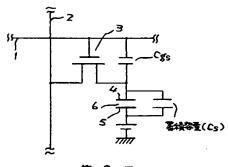
第 1 図





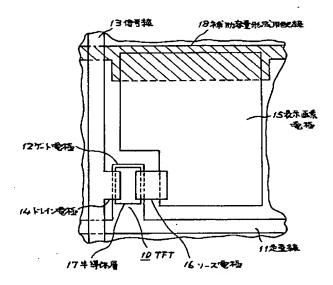


第 2 図



第 3 図

# 特閒平2-63020(6)



第 4 図